

中 華 民 國 專 利 公 報 (19)(12)

(11)公告編號: 285383

(44)中華民國85年(1996)09月01日

新 型

全 6 頁

(51)Int. Cl.⁵: H04L14/08

G06F15/56

(54)名 稱: S O N E T用之可程式化VT時槽交換器

(21)申請案號: 85205258

(22)申請日期: 中華民國85年(1996)04月12日

(72)創 作 人:

莊永圳

邱武志

吳吉原

謝文楨

李訓誠

桃園縣楊梅鎮民族路三段五五一巷十二號

桃園縣楊梅鎮民族路三段五五一巷十二號

桃園縣楊梅鎮民族路三段五五一巷十二號

桃園縣楊梅鎮民族路三段五五一巷十二號

桃園縣楊梅鎮民族路三段五五一巷十二號

(71)申 請 人:

交通部電信研究所

桃園縣楊梅鎮民族路三段五五一巷十二號

(74)代 理 人: 陳逸南 先生

1

2

[57]申請專利範圍:

1. 一種SONET用之可程式化VT時槽交換器, 主要是由VT時槽交換單元、微處理器界面單元、STS-1(同步傳送信號)格式重組單元、POH(路徑添加信號)處理單元及時序產生單元所構成; VT時槽交換單元負責所有之VT交換功能, 交換後由STS-1格式重組單元重新組合出三路串列式之STS-1信號, 而時序產生單元則提供所須之時序信號, 微處理器界面單元透過外部微處理器取得時槽交換單元所須之交換路由訊息及其它控制資料, POH處理單元則負責STS-3輸入信號之POH監測和取樣, 同時並將誤碼累算值及收到之J1位元組放入微處理器界面單元中。

2. 如申請專利範圍第1項所述之SONET用之可程式化VT時槽交換器, 其中VT時槽交換單元包括:
一寫讀控制單元, 該單元提供時槽交換和時間多工切換主要之寫讀順序,

其計數方式可依不同之VT種類(VT1.5, VT2或VT Group)作可程式化之計數, 時槽交換之寫入週期三者分別為168、126和42, 此再以128為界均分為高與低位址, 當此數值大於128時高位址控制信號為“1”, 其讀取週期三者分別為84、63和21, 另外其時間多工切換之讀取計數周期三者分別為28、21和7;
5. 一位址解碼單元, 該單元係將寫讀控制單元之計數位址解碼成高位址與低位址最多168條之脈衝;
10. 二低位址資料暫存器, 該暫存器由D型正反器所組成, 其長度為84個位元組, 主要作為時槽交換時STS-3 A-BUS或B-BUS之VT資料寫入之低位址暫存器, 其位址為128以下;
15. 二高位址資料暫存器, 該暫存器由D型正反器所組成, 其長度為84個位元組, 主要作為時槽交換時STS-3 A-BUS或B-BUS之VT資料寫入之高

3

位址暫存器，其位址為128或以上；
 二168至1位元組多工單元，該單元依切換記憶體一或切換記憶體二中取出之切換位址再配合高位址控制信號，去讀取低位址或高位址資料暫存器之VT資料，其最大多工範圍為VT1.5模式之168至1位元組多工，最後並多工成一擬(Pseudo)STS-3 BUS；

二解多工單元，該單元以兩階D型正反器及三相位門鎖之解多工方式，從擬STS-3 BUS中拆取出三路擬STS-1 BUS信號；及

一時間多工切換單元，該單元依切換記憶體三中取出之切換選擇信號，對兩組已被解多工之擬STS-1 BUS中之每一對應VT時槽作2至1之多工切換。

3.如申請專利範圍第1項所述之SONET用之可程式化VT時槽交換器，其中STS-1(同步傳送信號)格式重組單元包括：

一緩衝記憶體單元，該單元係作為時槽交換後之擬STS-1信號與最終輸出之STS-1碼框時序調整用之緩衝器；

一POH插入單元，該單元係將STS-1 POH中規定之位元組置入欲輸出之STS-1信號中，其中J1、C2位元組取自微處理器界面，F2、Z3、Z4及Z5則取自F2-Z5處理單元；及

一SOH插入單元，該單元係將SONET規定之碼框位元組(A1及A2)和指標位元組(H1及H2)插入欲輸出之STS-1信號中，並因應不同VT組合所經之緩衝延遲再置入不同之指標值；

一並列轉串列單元，該單元將三路已完成STS-1包封組合之位元組並列信號，各轉成5.184MHz之串列輸出。

4.如申請專利範圍第1項所述之SONET用之可程式化VT時槽交換器

(2)

4

，其中POH處理單元包括：

一POH取樣單元，該單元應用時序單元提供之時脈，從STS-3 A-BUS中抽取出STS-1之POH；

5. 一F2-Z5處理單元，該單元將POH取樣單元之F2、Z3、Z4及Z5位元組，轉換成64KHz均勻化之串列信號輸出，同時亦將外部之F2、Z3、Z4及Z5等64KHz均勻化之串列信號輸入，轉換成位元組型態；及

10. 一誤碼累算單元，該單元計算輸入之STS-3 A-BUS之每一STS-1誤碼核對值，再分別與POH取樣單元取樣之誤碼核對值B3比對之，並將其核對結果累算之。

15. 5.如申請專利範圍第1項所述之SONET用之可程式化VT時槽交換器，其中微處理器介面單元包括：

一切換記憶體一，該記憶體由D型正反器所組成，其長度為84個位元組，主要提供STS-3 A-BUS時槽交換時，168至1位元組多工單元所須之多工選擇交換資料；

20. 一切換記憶體二，該記憶體由D型正反器所組成，其長度為84個位元組，主要提供STS-3 B-BUS時槽交換時，168至1位元組多工單元所須之多工選擇交換資料；

25. 一切換記憶體三，該記憶體由D型正反器所組成，其長度為28個位元組，每一位址含三個位元，主要提供時間多工切換單元所須之切換資料；

30. 一J1緩衝記憶體，該記憶體提供與微處理器有關J1位元組送與收之緩衝記憶體器，每一路J1之送與收緩衝記憶電路，均使用雙資料暫存器來分開二者寫與讀之時間；

35. 一誤碼累算記憶體，該記憶體記錄由誤碼累算單元送來之三路誤碼累算值，以備微處理器來讀取；及

40.

(3)

5

一控制記憶體，該記憶體為不同VT模式之設定暫存器及其它控制位元之儲存暫存器。

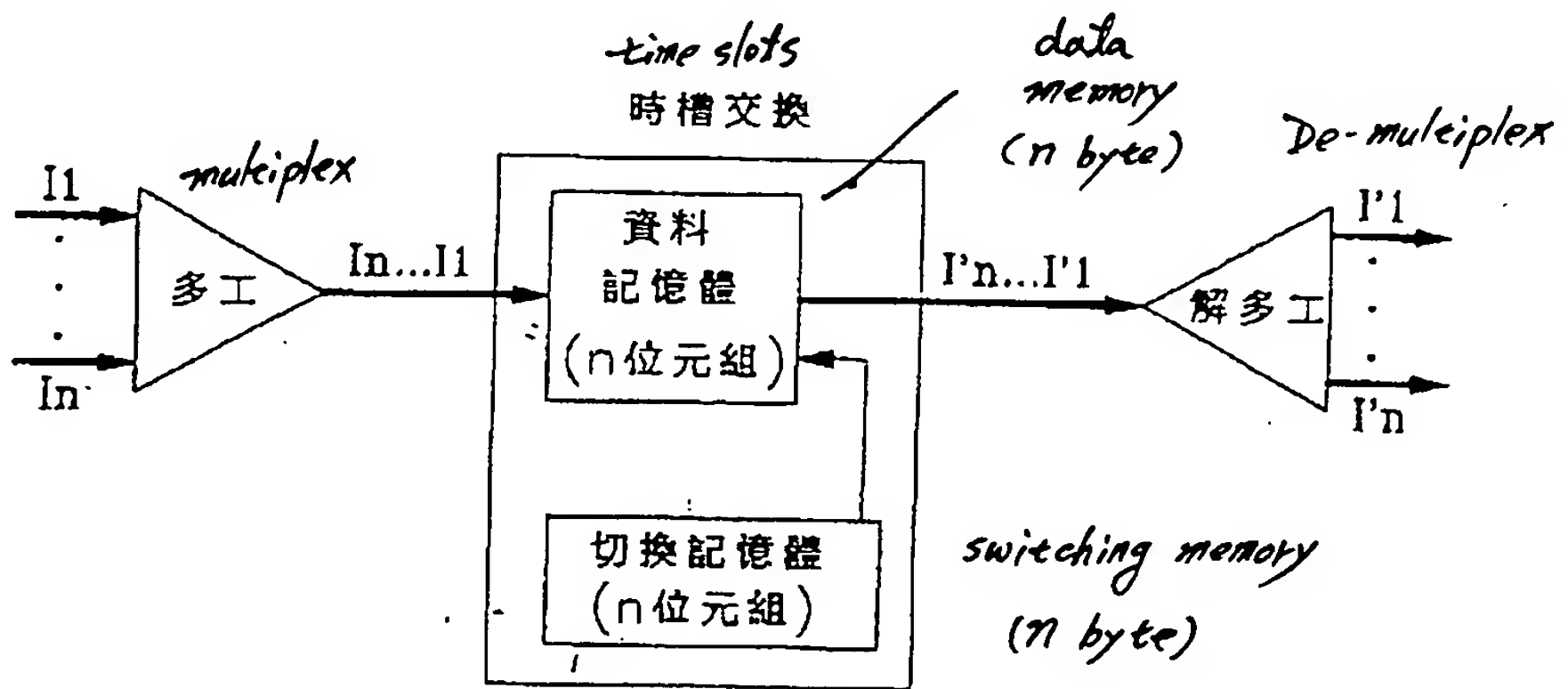
- 6.如申請專利範圍第1項所述之SONET用之可程式化VT時槽交換器，其中該切換記憶體一、切換記憶體二以雙埠動態存取記憶體(Dual-Ports RAM)所組成。
- 7.如申請專利範圍第6項所述之SONET用之可程式化VT時槽交換器，其中雙埠動態存取記憶體未填初值或初值以某固定值填入。
- 8.如申請專利範圍第2項所述之SONET用之可程式化VT時槽交換器，其中該低位址資料暫存器及高位址資料暫存器以雙埠動態存取記憶體所組成。
- 9.如申請專利範圍第2項所述之SONET用之可程式化VT時槽交換器，其中該168至1位元組多工單元分成數階多工器所組成。
- 10.如申請專利範圍第2項所述之SONET用之可程式化VT時槽交換器，其中資料暫存器之STS-3 BUS三態輸入多工方式，改以STS-1 BUS型態輸入再由內部取樣多工。
- 11.如申請專利範圍第3項所述之SONET用之可程式化VT時槽交換器，其中該並列轉串列單元之輸出方式，不以串列型態輸出而僅以並列型態輸出。
- 12.如申請專利範圍第2項所述之

6

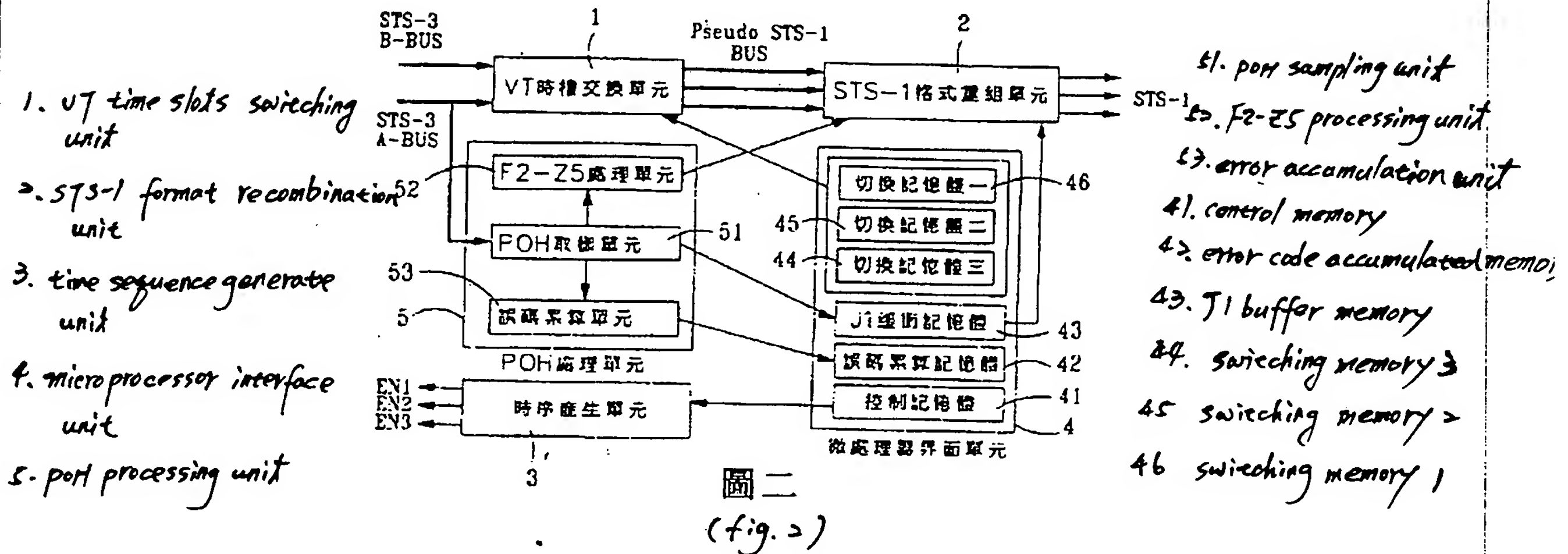
SONET用之可程式化VT時槽交換器，其中該寫讀控制單元不以可程式化方式來設計，而以VT1.5之模式來組成。

5. 13.如申請專利範圍第2項所述之SONET用之可程式化VT時槽交換器，其中該寫讀控制單元不以可程式化方式來設計，而以VT2之模式來組成。
10. 14.如申請專利範圍第2項所述之SONET用之可程式化VT時槽交換器，其中該寫讀控制單元不以可程式化方式來設計，而以VT Group之模式來組成。
15. 圖示簡單說明：
圖一為習知數位語音交換機之時槽交換示意方塊圖；
圖二為本創作之方塊圖；
圖三為本創作之VT時槽交換單元方塊圖；
圖四為本創作之STS-1格式重組單元方塊圖；
圖五為本創作之STS-3 BUS外部三態多工方塊及其時序圖；
25. 圖六為本創作之寫讀控制單元中計數器之計數流程示意圖；
圖七為本創作擬STS-3 BUS至擬STS-1 BUS解多工方塊圖；
圖八為本創作之微處理器界面位址排列方式示意圖；及
30. 圖九為本創作於SONET VT ADM之應用示意圖。

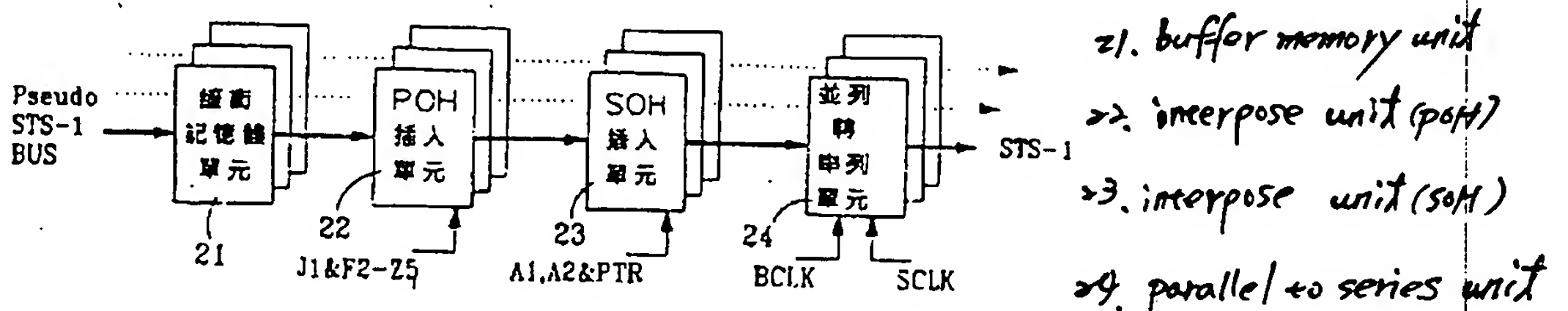
(4)



圖一 (Fig. 1)



圖二 (Fig. 2)

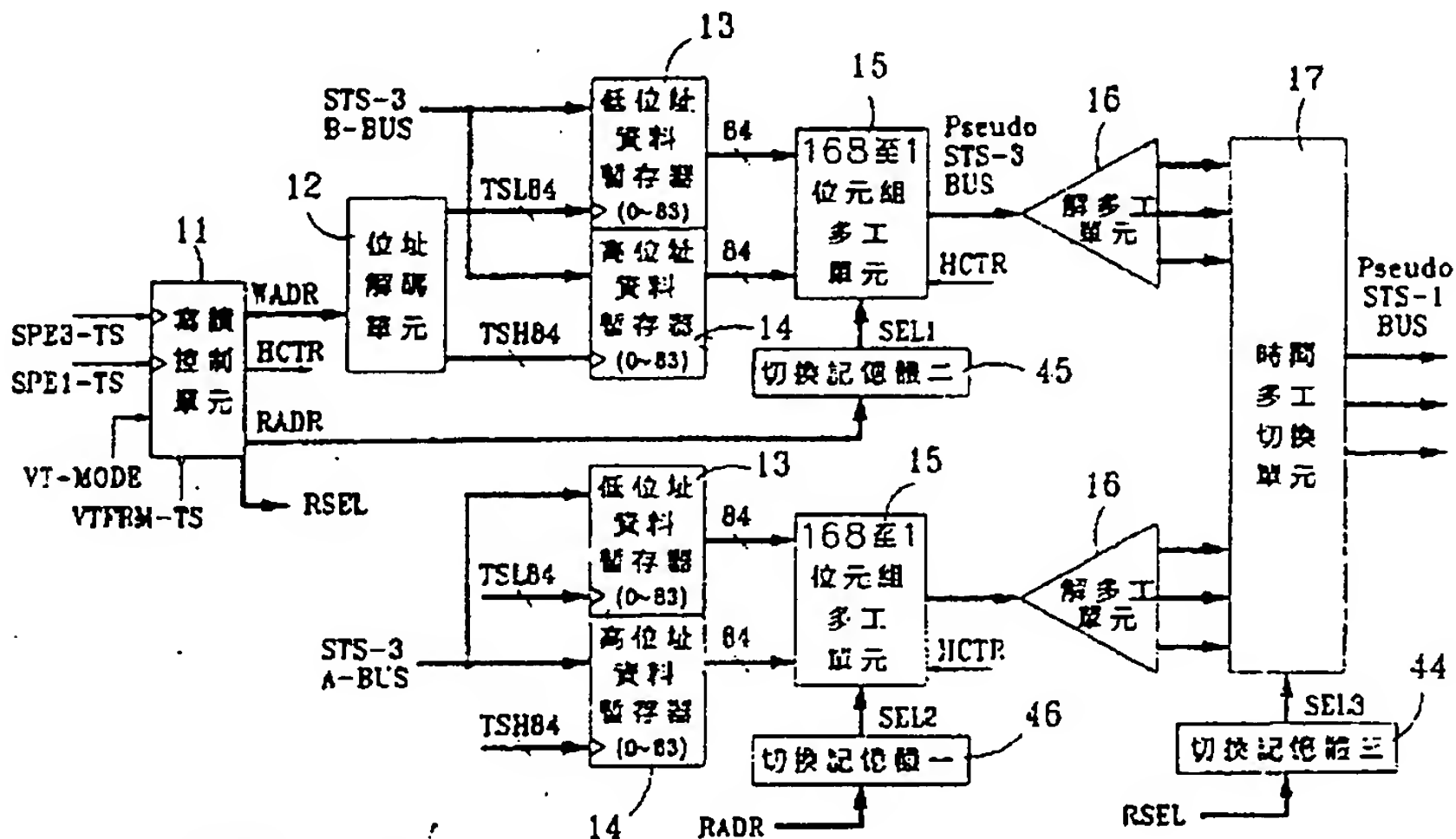


圖四 (Fig. 4)

11. Read/write control unit
12. Address decoder unit
13. Low address data register
14. High address data register
15. 168 to 1 byte multiplex unit
16. De-multiplex unit
17. time-multiplex switching unit

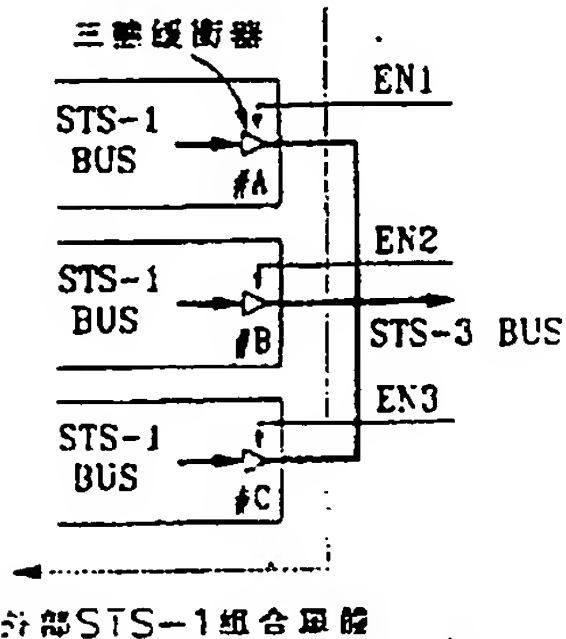
44. switching memory 1
45. switching memory 2
46. switching memory 3

(5)

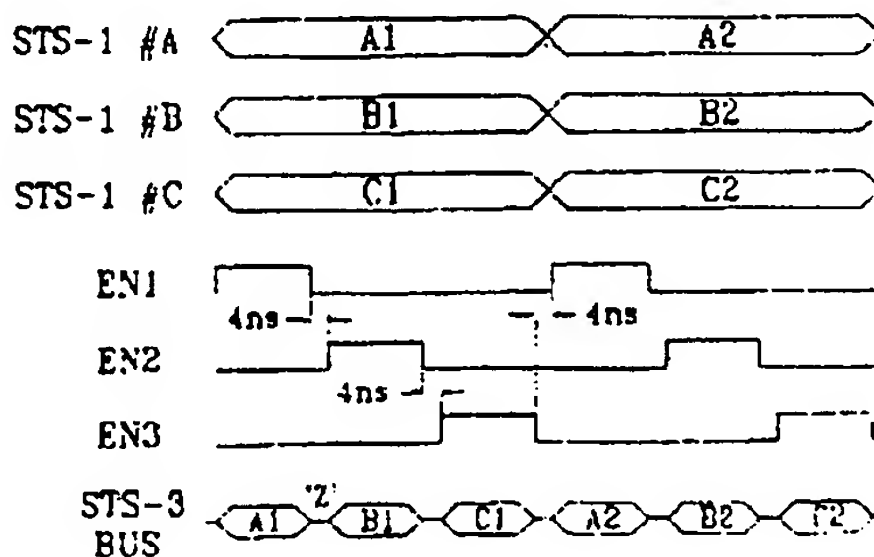


圖三 (fig.3)

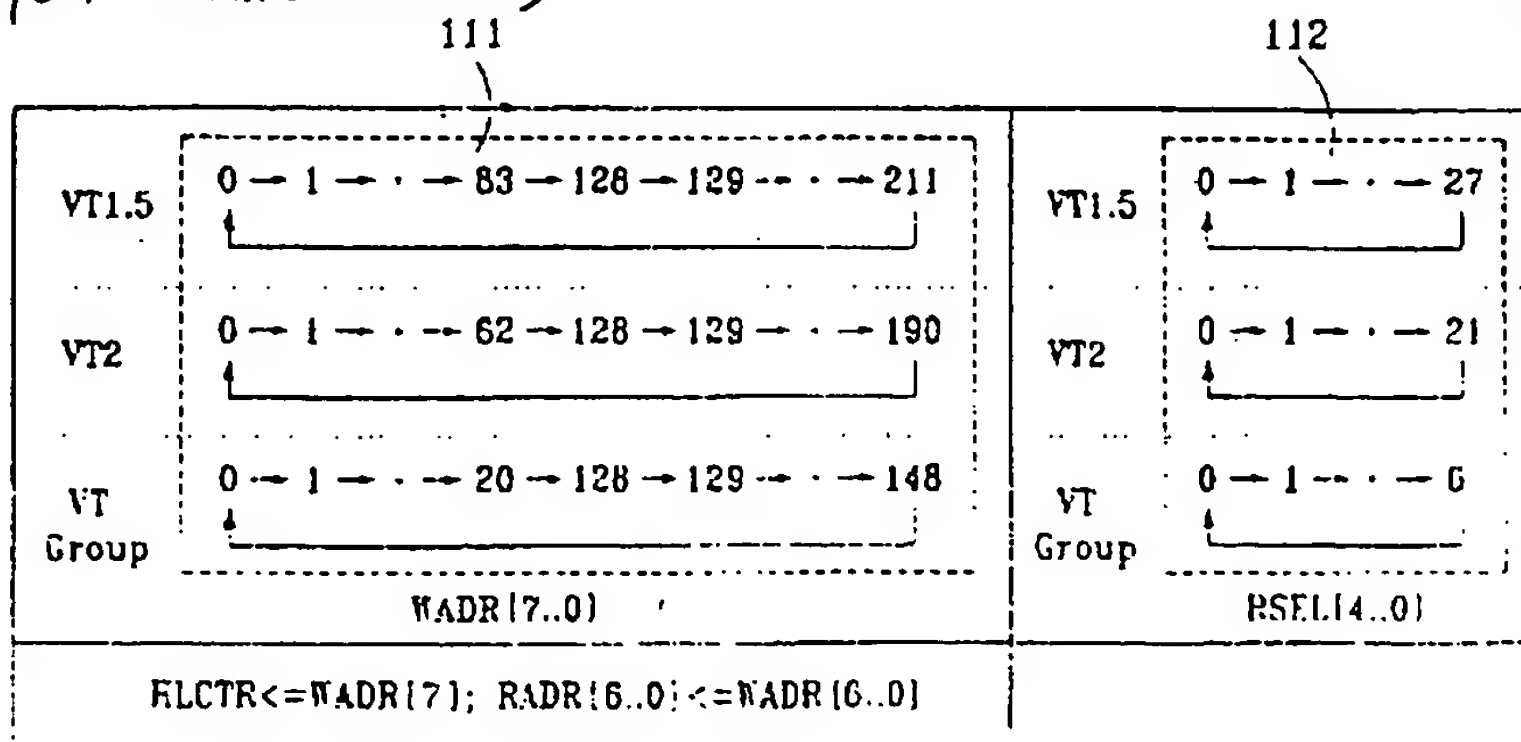
three state
buffer



(exterior STS-1 combination unit)



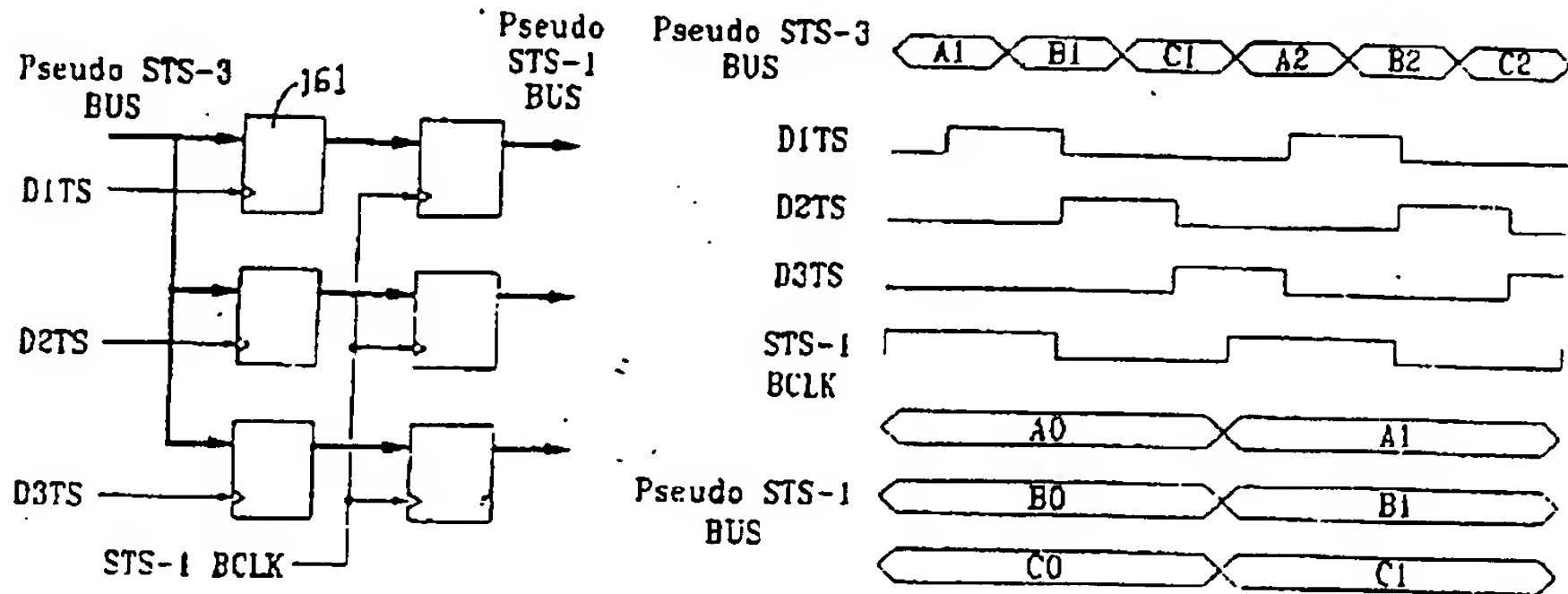
圖五 (fig.5)



圖六

(fig.6)

(6)



圖七 (fig. 7)

位址	位元	B7	B6	B5	B4	B3	B2	B1	B0
0 83	no used	切換記憶體一							
90 92		誤碼累算記憶體							
96 123	no used						切換 記憶體三		
128 211	no used	切換記憶體二							
216 251		J1緩衝記憶體							
216-251 & 255		控制記憶體							

switching memory 1

error code accumulated memory

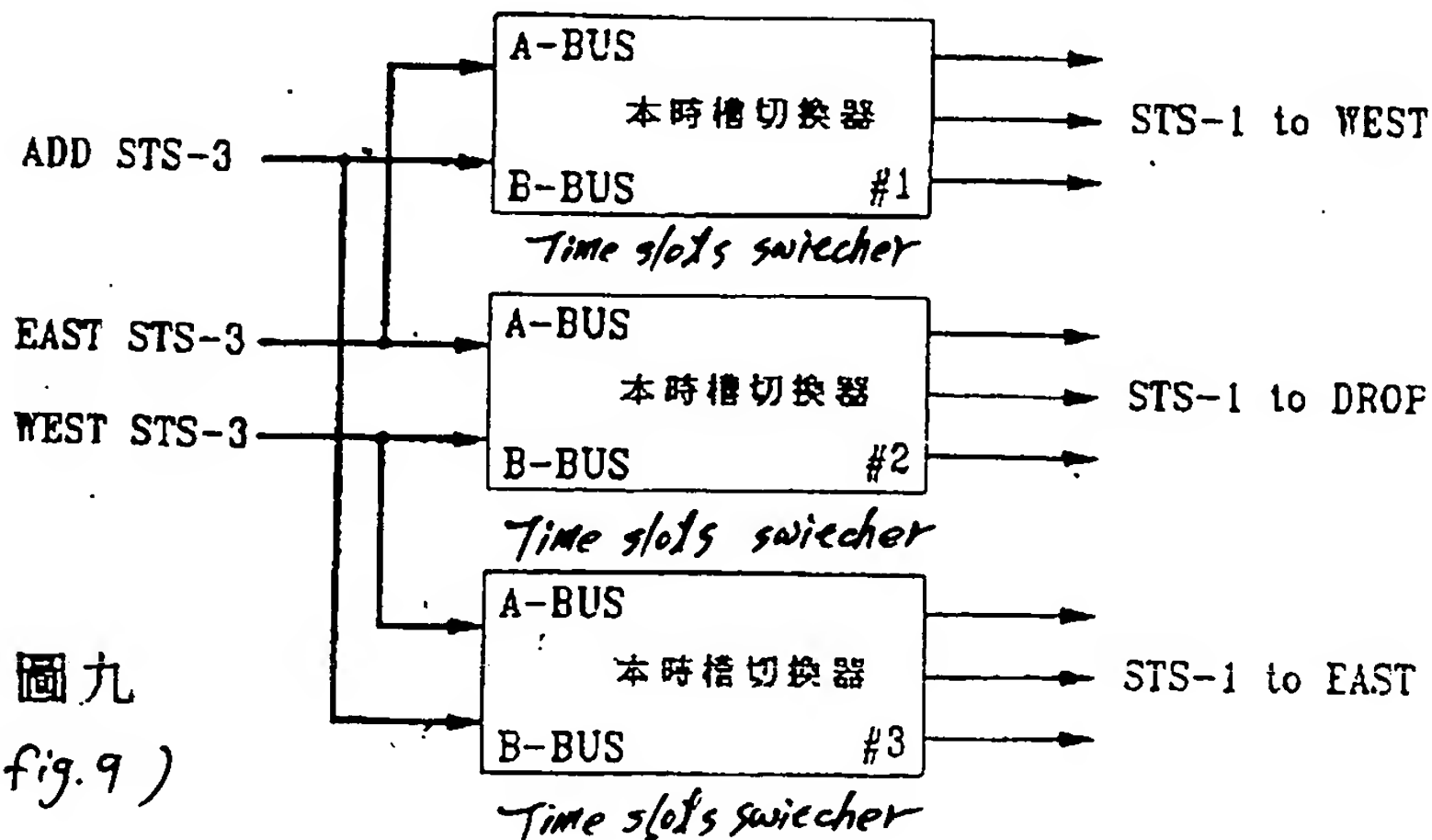
switching memory 3

switching memory 2

J1 buffer memory

control memory

圖八
(fig. 8)



圖九
(fig. 9)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ ~~BLACK BORDERS~~

☐ ~~IMAGE CUT OFF AT TOP, BOTTOM OR SIDES~~

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ ~~COLOR OR BLACK AND WHITE PHOTOGRAPHS~~

☐ ~~GRAY SCALE DOCUMENTS~~

☐ ~~LINES OR MARKS ON ORIGINAL DOCUMENT~~

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.